



09/07-067

EPO - DG 1

02.08.2000

#3/7/24/01

(55)

REC'D 19 SEP 2000

WIPO PCT

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

Ep 00/07519

EJW

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 25 MAI 2000

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIÈGE

26 bis, rue de Saint Petersburg  
75800 PARIS Cédex 08  
Téléphone : 01 53 04 53 04  
Télécopie : 01 42 93 59 30



REQUÊTE EN DÉLIVRANCE

28 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

Confirmation d'un dépôt par télécopie ☐

Cet imprimé est à remplir à l'encre noire en lettres capitales

Reserve à l'INPI

DATE DE REMISE DES PIÈCES **9 AOUT 1999**  
N° D'ENREGISTREMENT NATIONAL **9910309**  
DÉPARTEMENT DE DÉPÔT **75 INPI PARIS**  
DATE DE DÉPÔT **9/08/99**

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

BUREAU D.A. CASALONGA-JOSSE  
8 AVENUE PERCIER  
75008 PARIS

2 DEMANDE Nature du titre de propriété industrielle

☒ brevet d'invention

☐ demande divisionnaire



demande initiale

☐ certificat d'utilité

☐ transformation d'une demande  
de brevet européen

☐ brevet d'invention

n° du pouvoir permanent références du correspondant  
**B99/1593FR/FZ**

téléphone

☐ certificat d'utilité n°

date

Établissement du rapport de recherche

☐ différé

☒ immédiat

Le demandeur, personne physique, requiert le paiement échelonné de la redevance

☐ oui

☐ non

Titre de l'invention (200 caractères maximum)

"Procédé de fabrication d'un circuit intégré comportant une siliciuration améliorée et circuit intégré correspondant"

3 DEMANDEUR (S) n° SIREN

code APE-NAF

Norm et prénoms (souligner le nom patronymique) ou dénomination

- 1) STMicroelectronics SA
- 2) France Télécom et
- 3) Société dite : KONINKLIJKE PHILIPS ELECTRONICS N.V.

Forme juridique

Société Anonyme  
Société Anonyme

Nationalité (s) 1) Française, 2) Française, 3) Néerlandaise

Adresse (s) complète (s)

- 1) 7, avenue Galliéni - 94250 GENTILLY
- 2) 6, place d'Alleray - 75015 PARIS
- 3) Groenewoudseweg 1, 5621 BA EINDHOVEN

Pays

FRANCE  
FRANCE  
PAYS-BAS

En cas d'insuffisance de place, poursuivre sur papier libre ☐

4 INVENTEUR (S) Les inventeurs sont les demandeurs

☐ oui

☒ non

Si la réponse est non, fournir une désignation séparée

5 RÉDUCTION DU TAUX DES REDEVANCES

☐ requise pour la 1ère fois

☐ requise antérieurement au dépôt : joindre copie de la décision d'admission

6 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE

pays d'origine

numéro

date de dépôt

nature de la demande

7 DIVISIONS

antérieures à la présente demande n°

date

n°

date

8 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE

(nom et qualité du signataire)

SIGNATURE DU PRÉPOSÉ À LA RÉCEPTION

SIGNATURE APRÈS ENREGISTREMENT DE LA DEMANDE À L'INPI

A. CASALONGA  
(bm 92-1044i)

Conseil en Propriété Industrielle

**DÉSIGNATION DE L'INVENTEUR**

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

DEPARTEMENT DES BREVETS MD/MCM-B99/1593FR

26bis, rue de Saint-Petersbourg  
75800 Paris Cédex 08

Tél. : 01 53 04 53 04 - Télécopie : 01 42 93 59 30

N° D'ENREGISTREMENT NATIONAL

9910309

**TITRE DE L'INVENTION :** "Procédé de fabrication d'un circuit intégré comportant une siliciuration améliorée et circuit intégré correspondant"

**LE(S) SOUSSIGNÉ(S)**

- 1) Société Anonyme dite : STMicroelectronics SA,
- 2) Société Anonyme dite : France Télécom et
- 3) Société dite : KONINKLIJKE PHILIPS ELECTRONICS N.V.

**DÉSIGNE(NT) EN TANT QU'INVENTEUR(S)** (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

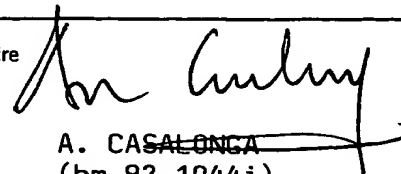
- 1) DE COSTER Walter  
108, chemin du Retour  
38330 ST NAZAIRE LES EYMES
- 2) GERRITSEN Eric  
45, impasse du Ciment  
38920 CROLLES
- 3) BASSO Marie-Thérèse  
38, chemin de la Taillat  
38240 MEYLAN

**NOTA :** A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

Paris, le 9 août 1999

BUREAU D.A. CASALONGA-JOSSE  
8 AVENUE PERCIER  
75008 PARIS



A. CASALONGA  
(bm 92-1044i)  
Conseil en Propriété Industrielle

## **Procédé de fabrication d'un circuit intégré comportant une siliciuration améliorée et circuit intégré correspondant**

L'invention concerne la fabrication de circuit intégré, et plus particulièrement la formation de zones de siliciure de métal sur les régions de polysilicium formant par exemple les régions de grille des transistors à effet de champ.

5 Sur la figure 1, qui illustre très schématiquement un transistor à effet de champ de l'art antérieur dont la grille est recouverte d'un siliciure de métal 5, la référence 1 désigne un substrat semi-conducteur au sein duquel est réalisé le transistor à effet de champ. Celui-ci comporte de façon classique une région saillante de  
10 polysilicium 2, formant la région de grille du transistor, isolée du substrat par un oxyde de grille 3, typiquement du dioxyde de silicium.

Le transistor comporte également, accolées aux flancs de la région de grille 2, des zones d'isolement latérales ou espaceurs 4. Ces espaceurs sont en général formés de deux couches, à savoir une couche  
15 isolante inférieure 40 généralement formée d'un oxyde (par exemple du tétraorthosilicate d'éthyle  $(\text{Si}(\text{OC}_2\text{H}_5)_4)$  ; TEOS en langue anglaise), et d'une couche isolante supérieure 41 généralement formée de nitrure de silicium  $\text{Si}_3\text{N}_4$ . Le nitrure de silicium permet une meilleure gravure des espaceurs tandis que la couche isolante inférieure forme une  
20 couche tampon contre les contraintes induites dans le silicium sous-jacent par la couche de nitrure.

La fabrication du transistor comporte également une étape de siliciuration des zones de drain, source et grille du transistor. Cette étape de siliciuration comporte notamment le dépôt d'un métal, par  
25 exemple du titane ou du cobalt capable de former avec le silicium un

siliciure de métal, par exemple du siliciure de titane  $\text{TiSi}_2$ . On obtient alors des zones de siliciure de métal 5, 6 et 7 respectivement disposées sur les régions de grille source et drain du transistor.

5 L'étape de siliciuration permet d'obtenir une résistance moins élevée de la ligne de polysilicium 2.

Cependant, comme illustré sur la figure 1, la zone de siliciure 5 au contact de la région de polysilicium 2 présente une interface courbe avec cette région de polysilicium en raison de contraintes mécaniques induites lors de la réaction chimique entre le titane et le silicium.

10 Outre le fait que cette surface courbe est plus difficilement exploitable qu'une surface plane pour une prise de contact ultérieure, l'épaisseur de siliciure formée est plus mince par endroit et il a été observé que la qualité d'accrochage obtenue conduisait, lors des étapes ultérieures du procédé, à des retraits partiels de siliciure. Il en résulte en final une quantité de siliciure moins importante ce qui conduit alors à une diminution moindre de la résistance de la ligne de polysilicium.

L'invention vise à apporter une solution à ce problème.

20 L'invention a notamment pour but d'obtenir une meilleure siliciuration des lignes de polysilicium conduisant notamment à une meilleure adhésion du siliciure sur le silicium et par conséquent, à une diminution plus efficace de la résistance de ces lignes de polysilicium.

25 L'invention a également pour but une diminution des contraintes mécaniques induites dans le polysilicium lors de la siliciuration permettant notamment l'obtention d'une surface supérieure du siliciure sensiblement plane.

30 L'invention propose donc un procédé de fabrication d'un circuit intégré, comprenant une étape de formation des régions d'isolation latérales (espaceurs) accolées aux flancs d'au moins une région saillante de polysilicium, ces régions d'isolation latérales étant formées chacune d'une couche isolante inférieure au contact de ladite région saillante et d'une couche isolante supérieure. Le procédé comporte également une étape de siliciuration de la partie supérieure de la région de polysilicium, cette étape de siliciuration comportant le  
35 dépôt sur ladite partie supérieure d'une couche d'un métal susceptible

de former avec le silicium un siliciure de métal.

Selon une caractéristique générale de l'invention, l'étape de siliciuration comporte, préalablement au dépôt de ladite couche de métal, une gravure au moins de la portion verticale de la couche isolante inférieure, de façon à former entre la couche isolante supérieure de chaque région d'isolation latérale et le flanc correspondant de la région de polysilicium, une tranchée dont la profondeur est prédéterminée. Par ailleurs, le dépôt de la couche de métal, par exemple du titane, est un dépôt directionnel, par exemple réalisé au moyen d'un collimateur en nid d'abeille, permettant le remplissage correct des tranchées ainsi obtenues.

En d'autres termes, l'invention prévoit une opération de gravure volontaire de la couche isolante inférieure (au moins de sa portion verticale) de façon à dégager au moins la partie supérieure de la région de polysilicium ce qui permet de diminuer les contraintes mécaniques dans cette partie supérieure lors de la siliciuration. Par ailleurs, le remplissage des tranchées obtenues par le dépôt directionnel de métal améliore la siliciuration latérale de la région de polysilicium. L'homme du métier saura ajuster la profondeur désirée pour les tranchées en fonction notamment des caractéristiques dimensionnelles des régions de polysilicium et des espaceurs, afin d'obtenir l'effet recherché par l'invention compte-tenu de l'application envisagée.

Ceci étant, il a été observé qu'il était préférable, afin d'obtenir une amélioration notable de la siliciuration, que la profondeur des tranchées soit au moins égale à 1/20ème de la hauteur de la région saillante de polysilicium.

Par ailleurs, l'homme du métier saura également ajuster la profondeur des tranchées de façon à éviter un détachement de la couche isolante supérieure (typiquement du nitrure de silicium) des espaceurs. A cet égard, il a été observé qu'une profondeur de tranchée au plus égale à la moitié de la hauteur de la couche isolante supérieure et au plus égale à la moitié de l'épaisseur de la couche isolante supérieure, minimisait le risque de détachement de cette couche isolante supérieure.

La gravure de la portion verticale de la couche isolante inférieure des espaceurs peut être une gravure anisotrope. Dans ce cas, on ne grave effectivement que la portion verticale de la couche isolante inférieure des espaceurs.

5 Ceci étant, en variante, la gravure de la portion verticale de la couche isolante inférieure peut être réalisée par une gravure isotrope. Ceci se traduit alors par l'obtention au sein de chaque espaceur d'une tranchée horizontale ménagée dans la couche isolante inférieure entre la couche isolante supérieure et le substrat du circuit  
10 intégré, cette tranchée horizontale s'étendant depuis le bord latéral de la couche isolante supérieure de l'espaceur. Une telle tranchée horizontale permet alors de minimiser davantage le risque de court-circuit entre les régions siliciurées de source et de drain d'une part, et la région siliciurée de grille d'autre part.

15 L'invention a également pour objet un circuit intégré, comprenant des régions d'isolation latérales accolées aux flancs d'au moins une région saillante de polysilicium et formées chacune d'une couche isolante inférieure au contact de ladite région saillante, et d'une couche isolante supérieure. Le circuit intégré comporte par  
20 ailleurs une zone comportant un siliciure de métal située dans la partie supérieure de la région de polysilicium.

Selon une caractéristique générale de l'invention, chaque région d'isolation latérale comporte une tranchée verticale ménagée dans la couche isolante inférieure entre la couche isolante supérieure  
25 et le flanc correspondant de la région saillante, cette tranchée s'étendant depuis le sommet de la couche isolante supérieure de la région d'isolation latérale correspondante, sur une profondeur prédéterminée.

D'autres avantages et caractéristiques de l'invention  
30 apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs et des dessins annexés sur lesquels :

- la figure 1, déjà décrite, illustre schématiquement un transistor de l'art antérieur, et,
- 35 - les figures 2 à 8 illustrent schématiquement différentes



étapes d'un mode de mise en œuvre du procédé selon l'invention, la figure 8 illustrant plus particulièrement une portion d'un circuit intégré selon l'invention.

5 Sur la figure 2, la référence 1 désigne un substrat semi-conducteur de silicium et la référence 70 désigne une zone d'isolation latérale, ou oxyde de champ, typiquement formée de dioxyde de silicium et dont le but est par exemple d'isoler la zone active formée dans le substrat de silicium 1, d'une autre zone active.

10 Après formation classique d'une couche d'oxyde de grille 3 et dépôt d'une couche de polysilicium puis gravure de celle-ci, on obtient (vues en coupe dans des plans différents) des lignes de polysilicium 2 comportant par exemple une région saillante formée au-dessus du substrat, et destinée à former la région de grille d'un transistor à effet de champ, et une autre région saillante formée au-dessus de l'oxyde de champ et destinée à relier deux régions de grille de deux transistors adjacents.

La hauteur de la région saillante de polysilicium 2 est généralement comprise entre 1500 et 2500 Å par exemple de l'ordre de 2000 Å.

20 On effectue ensuite de façon connue en soi (figure 3) un dépôt conforme d'une couche isolante inférieure 400, typiquement formée d'oxyde TEOS, et ayant par exemple une épaisseur de l'ordre de 200 Å. On effectue ensuite, de façon également connue en soi, un dépôt conforme d'une couche isolante supérieure 410 typiquement formée de nitrure de silicium.

25 Après gravure anisotrope de la couche isolante supérieure 410, on obtient la configuration illustrée sur la figure 4 dans laquelle la couche isolante supérieure gravée 411 est destinée à former la couche isolante supérieure des espaceurs accolés aux flancs latéraux verticaux des régions saillantes de polysilicium.

30 Il convient de noter ici que la couche isolante inférieure 400 peut servir de couche d'arrêt pour cette gravure anisotrope.

On procède ensuite (figure 5) à un retrait classique des portions de la couche isolante inférieure 401 obtenue à la figure 4, situées sur les régions de polysilicium et à l'extérieur de la couche

35

411.

On obtient alors des espaceurs formés de la couche isolante inférieure 402 et de la couche isolante supérieure 411. L'épaisseur totale des espaceurs est généralement comprise entre 50 nm et 100 nm, par exemple égale à 70 nm. Plus précisément, l'épaisseur E de la couche isolante supérieure 411 est par exemple égale à 50 nm tandis que l'épaisseur de la couche isolante inférieure 402 est par exemple égale à 20 nm.

Après avoir procédé, dans le substrat semi-conducteur à des implantations classiques des zones de drain et de source suivies d'un recuit à très haute température, par exemple à une température supérieure à 1000°C pendant une durée comprise entre 5 et 50 secondes, on procède au dépôt d'une couche 8 d'un matériau destiné à protéger une partie du circuit intégré contre l'étape de siliciuration ultérieure. Ce matériau de protection peut être du dioxyde de silicium ou bien de l'oxyde TEOS ou bien de l'oxyde TEOS surmonté de nitrure de silicium.

On procède ensuite (figure 6) à une gravure du matériau 8 de façon à retirer celui-ci sur la zone du circuit intégré concerné par la siliciuration.

Si le matériau 8 est identique au matériau formant la couche isolante inférieure 402 des espaceurs, on prolonge alors la gravure du matériau 8 par une surgravure de façon à ménager entre la région isolante supérieure 411 des espaceurs et le flanc correspondant F de la région saillante de polysilicium une tranchée verticale TR dont la profondeur h est prédéfinie.

Si par contre le matériau 8 est différent du matériau formant la couche isolante inférieure 402 des espaceurs, on prévoit alors une gravure additionnelle sélective pour réaliser les tranchées TR.

Lorsque la gravure du matériau 8 et éventuellement la gravure additionnelle sont des gravures anisotropes, on ne grave que la portion verticale de la couche isolante inférieure 402. Ceci étant, bien que ceci ne soit pas indispensable, il est préférable d'effectuer une ou des gravures isotropes de façon à ménager également entre la couche isolante supérieure 411 des espaceurs et le substrat 1 des tranchées

horizontales TH s'étendant depuis le bord latéral extérieur de la couche isolante supérieure 411 des espaceurs. La fonction et l'utilité de ces tranchées horizontales TH seront explicitées ci-après.

5 En ce qui concerne la profondeur h des tranchées verticales TR, celle-ci est de préférence au moins égale à 1/20ème de la hauteur H de la région saillante de polysilicium de façon à obtenir une amélioration notable de la siliciuration par une diminution des contraintes mécaniques dans le polysilicium.

10 Par ailleurs, afin d'éviter un détachement de la couche isolante supérieure 411 des espaceurs, il est préférable que cette hauteur h demeure inférieure à la moitié de la hauteur H1 de la couche isolante supérieure 411 et également inférieure à la moitié de l'épaisseur E de cette couche 411.

15 A titre indicatif, pour une hauteur H de polysilicium de l'ordre de 200 nm, une hauteur h de l'ordre de 10 nm au moins conduit à une amélioration notable de la siliciuration.

Il convient de noter ici que la présence des flancs obliques FO sur l'oxyde de champ 70 est due à une consommation d'oxyde pendant le procédé de fabrication.

20 Une fois les tranchées réalisées, on dépose (figure 7) un métal 9 susceptible de former avec le polysilicium un siliciure de métal. On peut à cet égard choisir du titane. Ce dépôt est un dépôt directionnel effectué par exemple à l'aide d'un collimateur en nid d'abeille, ce qui permet de remplir les tranchées TR, et ce qui n'aurait pas été possible en utilisant un dépôt classique par pulvérisation.

25 La phase de siliciuration se poursuit alors par un premier recuit dans un équipement connu en soi, par exemple effectué à une température comprise entre 650°C et 800°C (pour du titane) pendant une durée comprise entre 10 et 30 secondes, et par exemple à 450°C pour du cobalt.

30 Ce premier recuit provoque la transformation du titane en siliciure de titane  $\text{TiSi}_2$  et plus particulièrement en un siliciure de titane connu par l'homme du métier sous la dénomination  $\text{TiSi}_2\text{-C49}$ . Cette formation de siliciure de titane s'effectue au contact du polysilicium et également au contact du silicium du substrat.

35

Au contact de la couche isolante supérieure 411 des espaceurs, se forment du nitrure de titane  $TiN$  et des oxydes de titane  $TiO_x$ . Des nitrides de titane se forment également au-dessus du siliciure de titane.

5 Il convient de noter ici que les tranchées TR préalablement remplies de titane améliorent la siliciuration latérale des régions de polysilicium.

10 Une fois ce premier recuit effectué, on effectue un retrait sélectif connu en soi du nitrure de titane, des oxydes de titane  $TiO_x$  et du titane. Ce retrait sélectif s'effectue par exemple par gravure humide dans un bain à base d'ammoniaque et de peroxyde d'hydrogène ( $H_2O_2$ ). Il convient de noter ici que cette gravure humide consomme une faible quantité de  $TiSi_2$ .

15 On procède ensuite à un deuxième recuit à haute température, typiquement supérieure à  $800^\circ C$ , par exemple à  $900^\circ C$  pendant quelques secondes, par exemple une dizaine de secondes de façon à transformer le siliciure de titane C49 en un siliciure de titane moins résistif connu par l'homme du métier sous la dénomination C54. Là encore, cette transformation s'effectue dans de meilleures conditions  
20 que dans l'art antérieur en raison de la diminution des contraintes mécaniques dans le polysilicium, diminution obtenue par la présence des tranchées verticales.

Après ce recuit, on obtient la configuration illustrée sur la figure 8. Sur cette figure 8, la référence 5 désigne la zone de siliciure  
25 de métal située sur la partie supérieure des régions saillantes de polysilicium. Tandis que les références 6 et 7 désignent les zones de siliciure de métal situées sur les régions de source et de drain du transistor. La surface supérieure de la zone de siliciure de métal 5 est quasi-plane. Par ailleurs, au cours des recuits, notamment lors du  
30 premier recuit, le polysilicium 2 a été légèrement consommé. Cependant, si l'on tient compte de cette diminution de hauteur et également de la hauteur du siliciure de métal 5, on obtient alors une hauteur  $H_2$  de la région de polysilicium siliciurée sensiblement égale à la hauteur  $H$  initiale de la région de polysilicium.

35 En conséquence, la hauteur  $h$  des tranchées verticales TR

reste de préférence au moins égale à 1/20ème de la hauteur H2.

Par ailleurs, le retrait sélectif des oxydes de titane, nitrure de titane et éventuellement du titane n'ayant pas réagi, effectué entre les deux recuits peut laisser subsister sur la surface de la couche isolante supérieure 411 des espaceurs des résidus de nitrure de titane et/ou d'oxyde de titane qui, s'ils sont en contact à la fois avec les zones siliciurées de grille et de drain / source peuvent entraîner des risques de court-circuit entre ces zones. Ce risque de court-circuit est minimisé par la présence des tranchées horizontales TH.

5  
10

15

20

25

30

35

---

## REVENDICATIONS

1. Procédé de fabrication d'un circuit intégré, comprenant une étape de formation de régions d'isolation latérales accolées aux flancs d'une région saillante de polysilicium et formées chacune d'une couche isolante inférieure (402) au contact de ladite région saillante (2) et  
5 d'une couche isolante supérieure, et une étape de siliciuration de la partie supérieure de la région de polysilicium comportant le dépôt sur ladite partie supérieure d'une couche d'un métal susceptible de former avec le silicium un siliciure de métal (5), caractérisé par le fait que l'étape de siliciuration comporte, préalablement au dépôt de ladite  
10 couche de métal, une gravure au moins de la portion verticale de la couche isolante inférieure (402), de façon à former entre la couche isolante supérieure (411) de chaque région d'isolation latérale et le flanc (F) correspondant de la région de polysilicium (2), une tranchée (TR) dont la profondeur (h) est prédéterminée, et par le fait que le  
15 dépôt de couche de métal est un dépôt directionnel.

2. Procédé selon la revendication 1, caractérisé par le fait que la profondeur (h) de la tranchée est au moins égale à un vingtième de la hauteur (H) de la région saillante.

3. Procédé selon la revendication 1 ou 2, caractérisé par le fait que la profondeur (h) de la tranchée est au plus égale à la moitié de la hauteur (H1) de la couche isolante supérieure et au plus égale à la moitié de l'épaisseur (E) de la couche isolante supérieure.

4. Procédé selon l'une des revendications précédentes, caractérisé par le fait que la gravure de la portion verticale de la  
25 couche isolante inférieure (402) est une gravure anisotrope.

5. Procédé selon l'une des revendications 1 à 3, caractérisé par le fait que la gravure de la portion verticale de la couche isolante inférieure (402) est une gravure isotrope.

6. Circuit intégré, comprenant des régions d'isolation latérales accolées aux flancs d'au moins une région saillante de polysilicium et formées chacune d'une couche isolante inférieure (402) au contact de ladite zone saillante (2) et d'une couche isolante supérieure (411), et une zone (5) comportant un siliciure de métal  
30

situé dans la partie supérieure de la région de polysilicium (2), caractérisé par le fait que chaque région d'isolation latérale comporte une tranchée verticale (TR) ménagée dans la couche isolante inférieure (402) entre la couche isolante supérieure (411) et le flanc correspondant (F) de la région saillante (2), cette tranchée (TR) s'étendant depuis le sommet de la couche isolante supérieure (411) de la région d'isolation latérale correspondante sur une profondeur prédéterminée (h).

7. Circuit intégré selon la revendication 6, caractérisé par le fait que la profondeur (h) de la tranchée (TR) est au moins égale à un vingtième de la hauteur (H2) de la région saillante de polysilicium siliciurée.

8. Circuit intégré selon la revendication 6 ou 7, caractérisé par le fait que la profondeur (h) de la tranchée (TR) est au plus égale à la moitié de la hauteur (H1) de la couche isolante supérieure et au plus égale à la moitié de l'épaisseur (E) de la couche isolante supérieure.

9. Circuit intégré selon l'une des revendications 6 à 8, caractérisé par le fait que chaque région d'isolation latérale comporte une tranchée horizontale (TH) ménagée dans la couche isolante inférieure (402) entre la couche isolante supérieure (411) et le substrat (1) du circuit intégré, et s'étendant depuis le bord latéral de la couche isolante supérieure de la région d'isolation latérale.

**FIG.1**  
ART ANTERIEUR

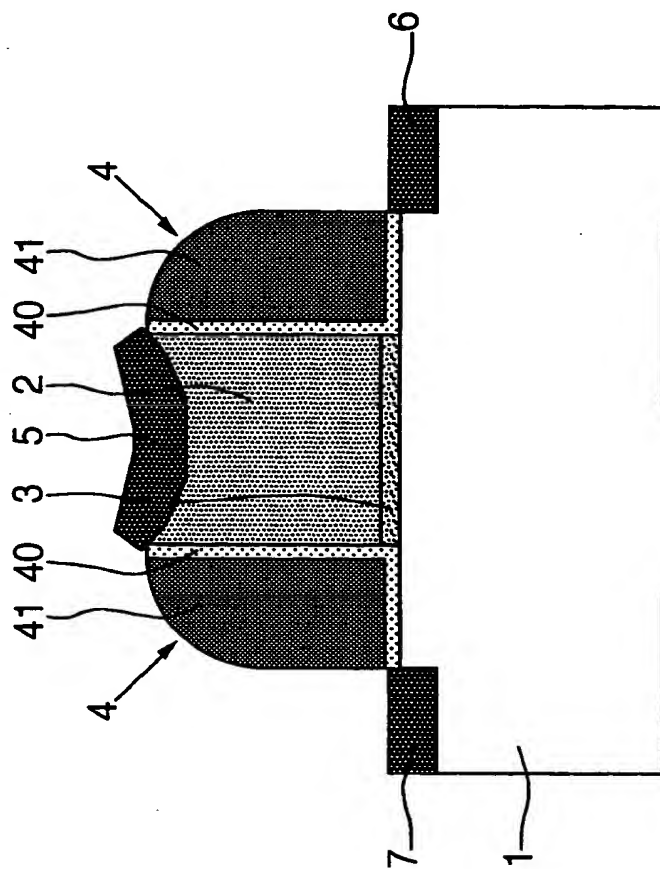
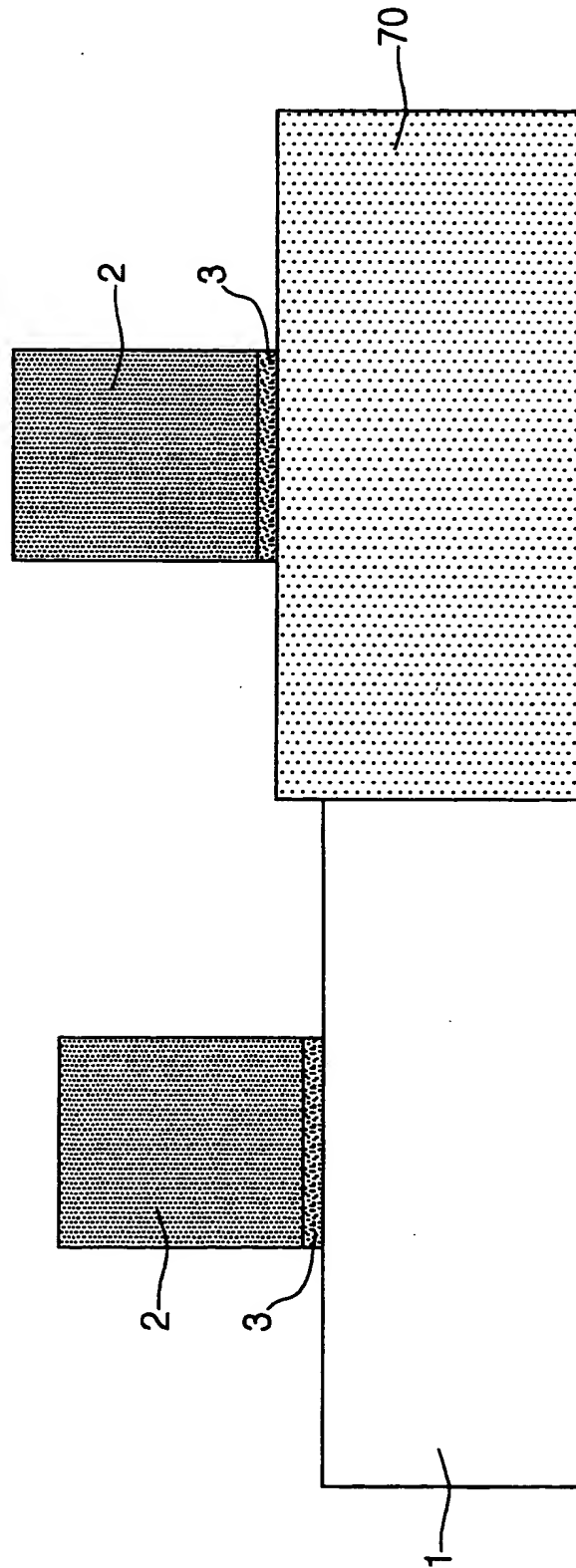
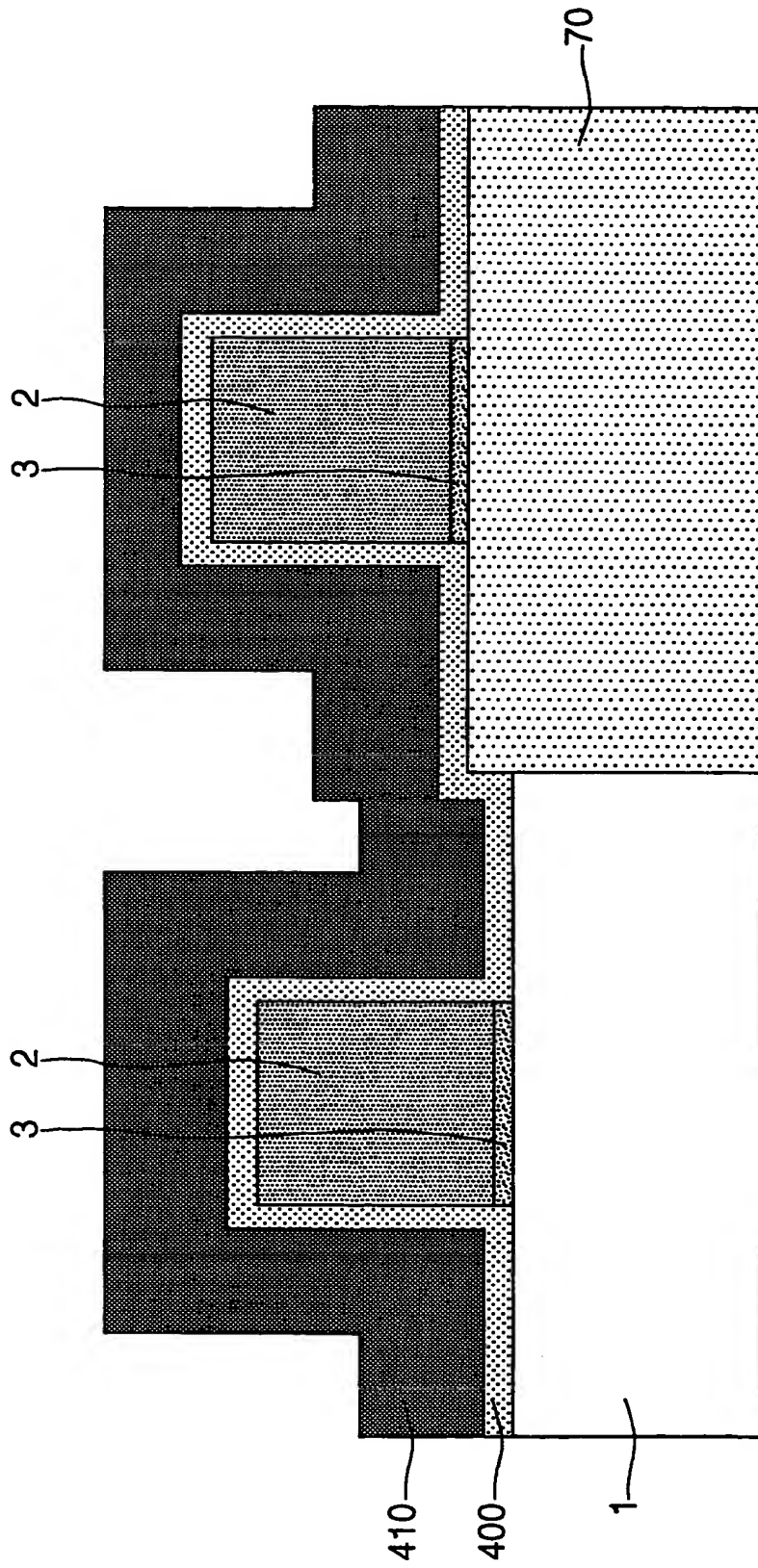


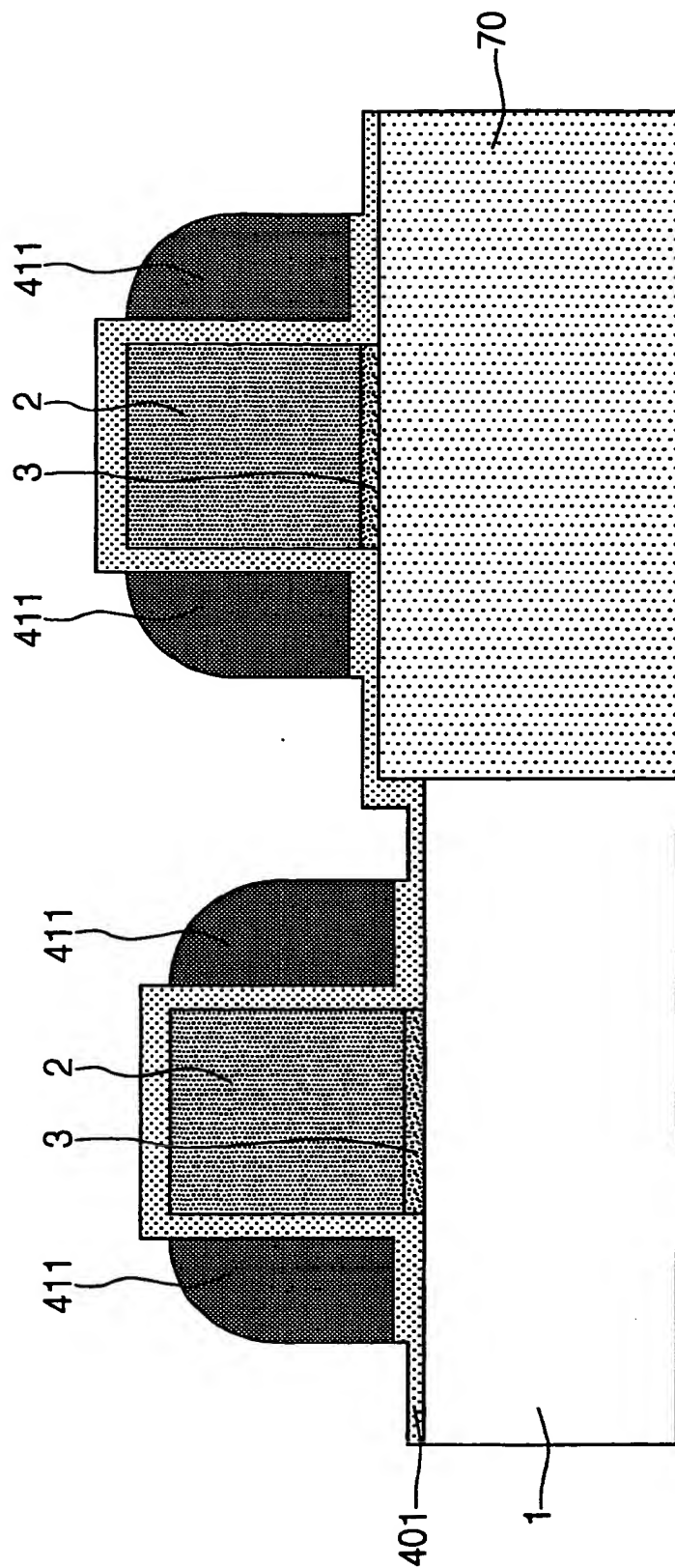


FIG. 2

**FIG. 3**



**FIG. 4**



**FIG. 5**

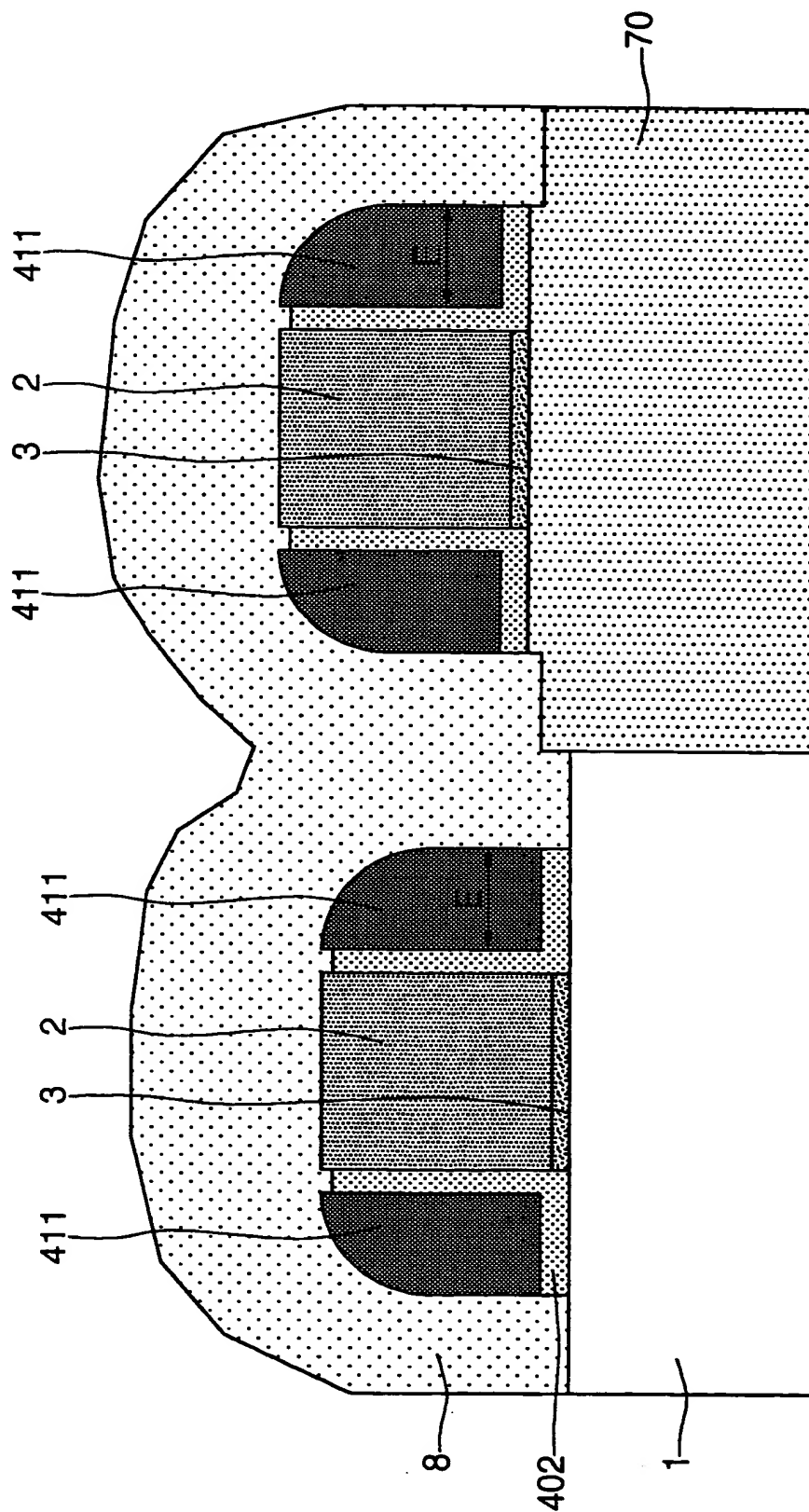




FIG. 7